Computer Architecture Analysis Homework Set
2013/1/11 (2012 秋学期)
Rodney Van Meter

We are going to examine design options for the ImP (Imaginary Processor). Here are the basic specifications:

想像のプロセッサーのオプションを検討して、システム構造／仕様を提案する。基本の機能：

- Word size 64 bits (integer, pointer, double-precision floating point, instruction all 64 bits) ワードサイズは 64 ビット（整数、ポインター、浮動小数点、命令はすべて）
- Load-store instruction set 命令はロード・ストア。
- Six-stage pipeline （パイプラインは 6 ステージ）：
  IF, ID, EX1, EX2, MEM, WB.
- Multi-core capable, with two-level cache（マルチコアは可能で、二層のキャッシュ）：
  - 1st level cache per core コアごとでファーストレベルキャッシュ
    Latency 2 clock cycles 遅延は 2 クロック
  - 2nd level cache shared セコンドレベルキャッシュはシェアする
    Latency 5 clock cycles 遅延は 5 クロック

The workload for the system is to calculate the inner product of two very large vectors. Assume the program is 16MB, and each instruction must be fetched either from memory or from cache.
このコンピュータの仕事は以下のプログラムを実行する。プログラムは１６MB、毎命令はメーンメモリーあるいはキャッシュから読み込み。

```
#define VECLEN 4*1024*1024*1024
// vectors are initialized elsewhere, ignore
// remember, a “double” is (usually) 8 bytes
extern double VectorA[VECLEN], VectorB[VECLEN];

main() {
int i;
float sum = 0.0;

// assume init() takes 1,000,000,000 instructions
// and must be done on one processor
init();
// calculate carefully how many instructions each loop is
// assume each floating point add and multiply costs
// the same as an integer instruction
#pragma omp parallel for reduction(+:sum)
for ( i = 0 ; i < VECLEN ; i++ ) {
  sum += VectorA[i]*VectorB[i];
}
}
```

The goal of this exercise is to optimize cost performance. Below are your options.この課題の目標はコソトパフォーマンスを最適する。以下はデザインのオプション。

- CPU:
  - Maximum chip area: 100 square mm
  - Area per core: 2 sq. mm.
  - L1 cache: 0.5 sq. mm. / 1MB (min 0 MB, max 2 MB)
  - L2 cache: 0.5 sq. mm. / 1MB (min 1 MB, max 64 MB)
  - Overhead (I/O pads, etc.): 10 sq. mm.
  - Price:
    - 2.0 GHz: 1,000 円／sq. mm.
    - 2.2 GHz: 1,200 円／sq. mm.
- Memory:
  - Option 1: Latency 30nsec, width 64 bits, 125 Mtransfers/sec (bandwidth 1,000 MB/sec)
    Price 4,000 円／4GB (max 256 GB)
  - Option 2: Latency 25nsec, width 64 bits, 112.5 Mtransfers/sec (bandwidth 900 MB/sec)
    Price 3,500 円／4GB (max 256 GB)
- Motherboard:
  - 1-processor motherboard: 20,000 円
  - 2-processor motherboard: 30,000 円

Your answer should include:
答えに必要な情報：

Number of cores per processor	
Clock speed	
Number of processors	
Size of L1 cache	
Size of L2 cache	
Choice of type of RAM	
Amount of RAM	
Choice of motherboard	
Estimated run time (in seconds)	
Price (in 円)	
Cost-performance (program runs / second / 円)	

The information above may not be enough to completely specify the behavior of the system. Document any additional assumptions you make. 以上の情報はたりない可能性はある。自分で推定することも書いてください。